

Rec'd PCT/PTO 29 DEC 2004



## 手 続 補 正 書 (法第11条の規定による補正)

特許庁審査官 松嶋秀忠 殿

1. 國際出願の表示 PCT/JP02/08284

2. 出願人

名称 株式会社 日立製作所  
HITACHI, LTD.

あて名 〒101-8010

日本国東京都千代田区神田駿河台四丁目6番地  
6, Kanda Surugadai 4-chome, Chiyoda-ku,  
TOKYO 101-8010 JAPAN

国籍 日本国 Japan

住所 日本国 Japan

3. 代理人

氏名 (8000) 弁理士 筒井大和  
TSUTSUI Yamato

あて名 〒160-0023

日本国東京都新宿区西新宿8丁目1番1号  
アゼリアビル3階 筒井國際特許事務所  
Tsutsui & Associates, 3F, Azeria Bldg.,  
1-1, Nishi-shinjuku 8-chome, Shinjuku-ku,  
TOKYO 160-0023 JAPAN



4. 補正の対象 請求の範囲

## 5. 補正の内容

- (1) 別紙の通り、請求の範囲第1項第7行目の「高誘電体膜」を「高誘電率絶縁膜」に補正する。
- (2) 別紙の通り、請求の範囲第10項第4行目の「第2絶縁」を「第2絶縁膜」に補正する。
- (3) 別紙の通り、請求の範囲第25項および第26項を追加する。

## 6. 添付書類の目録

請求の範囲 第20頁、第21頁、第24頁

第22頁

請求の範囲 第22頁には補正が入っていないが、  
10項から第21頁～第22頁にまたがっているので  
請求項毎に補正をするという意味で、第22頁  
も添付する。 特許庁 受理官庁より

## 請 求 の 範 囲

1. (補正後) (a) 半導体基板の上部に、高誘電率絶縁膜を形成する工程と、  
(b) 前記高誘電率絶縁膜上に導電性膜を形成する工程と、  
5 (c) 前記導電性膜上に、絶縁膜を形成する工程と、  
(d) 前記絶縁膜を選択的に除去することによりパターンを形成する工程と、  
(e) 前記パターンを有する絶縁膜をマスクに、前記導電性膜をエッチングす  
ることにより導体片を形成する工程と、  
(f) 前記導体片の両端部の前記半導体基板の上部に前記高誘電率絶縁膜を残  
10 した状態で、前記絶縁膜を除去し前記導体片の上面を露出させる工程と、  
(g) 前記 (f) 工程の後に、前記導体片上に金属膜を堆積し、前記導体片と  
前記金属膜との接触部において反応層を形成する工程と、  
を有することを特徴とする半導体集積回路装置の製造方法。
2. 請求項 1 記載の半導体集積回路装置の製造方法において、前記導電性膜はシ  
15 リコン膜であり、前記絶縁膜は酸化シリコン膜であることを特徴とする半導体集  
積回路装置の製造方法。
3. 請求項 1 記載の半導体集積回路装置の製造方法において、前記導電性膜はシ  
リコン膜であり、前記反応層はシリサイド膜であることを特徴とする半導体集積  
回路装置の製造方法。
- 20 4. 請求項 1 記載の半導体集積回路装置の製造方法において、前記高誘電率絶縁  
膜は、比誘電率が 2.0 以上の膜であることを特徴とする半導体集積回路装置の  
製造方法。
5. 請求項 1 記載の半導体集積回路装置の製造方法は、さらに、  
(h) 前記 (a) 工程の前に、前記半導体基板をエッチングすることにより前  
25 記半導体基板中に溝を形成し、前記溝内に他の絶縁膜を形成する工程を有し、  
前記高誘電率絶縁膜は、前記他の絶縁膜より比誘電率が大きいことを特徴とす  
る半導体集積回路装置の製造方法。
6. 請求項 1 記載の半導体集積回路装置の製造方法において、前記高誘電率絶縁  
膜は、アルミナ膜、チタン酸化膜、ジルコニウム酸化膜、ハフニウム酸化膜、タ

ンタル酸化膜またはルテニウム酸化膜からなることを特徴とする半導体集積回路装置の製造方法。

7. 請求項 1 記載の半導体集積回路装置の製造方法は、さらに、

(h) 前記 (f) 工程と前記 (g) 工程の間に、前記導体片をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片に対する前記高誘電率絶縁膜のエッティングの選択比が大きい条件でエッティングする工程を有することを特徴とする半導体集積回路装置の製造方法。

8. 請求項 1 記載の半導体集積回路装置の製造方法は、さらに、

(h) 前記 (f) 工程と前記 (g) 工程の間に、前記導体片をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片に対する前記高誘電率絶縁膜のエッティングの選択比が大きい条件でエッティングする工程と、

(i) 前記 (h) 工程の後、前記半導体基板中に不純物を注入することにより、前記導体片の両側に半導体領域を形成する工程と、  
を有することを特徴とする半導体集積回路装置の製造方法。

15 9. 請求項 1 記載の半導体集積回路装置の製造方法は、さらに、

(h) 前記 (f) 工程と前記 (g) 工程の間に、前記導体片上を含む半導体基板上に他の絶縁膜を形成した後、前記他の絶縁膜を異方的にエッティングすることによって、前記導体片の側壁に側壁膜を形成する工程と、

(i) 前記 (h) 工程の後に、前記導体片および前記側壁膜をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片および前記側壁膜に対する前記高誘電率絶縁膜のエッティングの選択比が大きい条件でエッティングする工程と、  
を有することを特徴とする半導体集積回路装置の製造方法。

10. (補正後) (a) 第 1 領域および第 2 領域を有する半導体基板の第 1 領域上に、第 1 絶縁膜を形成する工程と、

25 (b) 前記第 1 絶縁膜上および第 2 領域上に前記第 1 絶縁膜より誘電率の高い第 2 絶縁膜を形成する工程と、

(c) 前記第 2 絶縁膜上に導電性膜を形成する工程と、

(d) 前記導電性膜上に、第 3 絶縁膜を形成する工程と、

(e) 前記第 3 絶縁膜を選択的に除去することにより前記第 1 および第 2 領域

のそれぞれにパターンを形成する工程と、

(f) 前記パターンを有する第3絶縁膜をマスクに、前記導電性膜をエッチングすることにより前記第1および第2領域のそれぞれに導体片を形成する工程と、

5 (g) 前記導体片の両端部の前記半導体基板の上部に前記第2絶縁膜を残した状態で、前記第3絶縁膜を除去し前記導体片の上面を露出させる工程と、

(h) 前記(g)工程の後に、前記導体片上に金属膜を堆積し、前記導体片と前記金属膜との接触部において反応層を形成する工程と、  
を有することを特徴とする半導体集積回路装置の製造方法。

11. 請求項10記載の半導体集積回路装置の製造方法において、前記導電性膜  
10はシリコン膜であり、前記第3絶縁膜は酸化シリコン膜であることを特徴とする半導体集積回路装置の製造方法。

12. 請求項10記載の半導体集積回路装置の製造方法において、前記導電性膜  
はシリコン膜であり、前記反応層はシリサイド膜であることを特徴とする半導体集積回路装置の製造方法。

15 13. 請求項10記載の半導体集積回路装置の製造方法において、前記第1絶縁膜は、酸化シリコン膜であり、前記第2絶縁膜は、比誘電率が2.0以上の膜であることを特徴とする半導体集積回路装置の製造方法。

14. 請求項10記載の半導体集積回路装置の製造方法において、前記第2絶縁膜は、アルミナ膜、チタン酸化膜、ジルコニウム酸化膜、ハフニウム酸化膜、タンタル酸化膜またはルテニウム酸化膜からなることを特徴とする半導体集積回路装置の製造方法。

15. 請求項10記載の半導体集積回路装置の製造方法は、さらに、

(i) 前記(g)工程と前記(h)工程の間に、前記導体片をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片に対する前記高誘電率絶縁膜のエッティングの選択比が大きい条件でエッティングする工程を有することを特徴とする半導体集積回路装置の製造方法。

16. 請求項10記載の半導体集積回路装置の製造方法は、さらに、

(i) 前記(g)工程と前記(h)工程の間に、前記導体片をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片に対する前記高誘電率絶縁

であり、前記シリコン膜上には、シリサイド膜が形成されていることを特徴とする半導体集積回路装置。

22. (a) 第1領域および第2領域を有する半導体基板と、

(b) 前記第1領域の半導体基板内に形成された一対の第1半導体領域と、前記一対の第1半導体領域の間の領域であって、前記半導体基板の上に第1絶縁膜および前記第1絶縁膜より誘電率の大きい第2絶縁膜とを介して形成された第1導体片とを有する第1MISFETと、

(c) 前記第2領域の半導体基板内に形成された一対の第2半導体領域と、前記一対の第2半導体領域の間の領域であって、前記半導体基板の上に前記第2絶縁膜を介して形成された第2導体片とを有する第2MISFETと、を有し、

(d) 前記第1および第2導体片の端部下まで前記第2絶縁膜が延在していることを特徴とする半導体集積回路装置。

23. 請求項22記載の半導体集積回路装置において、前記導体片はシリコン膜であり、前記シリコン膜上には、シリサイド膜が形成されていることを特徴とする半導体集積回路装置。

24. 請求項23記載の半導体集積回路装置において、前記第1半導体領域の深さは、前記第2半導体領域より深いことを特徴とする半導体集積回路装置。

25. (追加) 請求項1記載の半導体集積回路装置の製造方法において、前記(f)工程は、前記高誘電率絶縁膜に対する前記絶縁膜のエッティングの選択比が大きい条件でエッティングすることにより、前記導体片の両端部の前記半導体基板の上部に前記高誘電率絶縁膜を残した状態で、前記絶縁膜を除去し前記導体片の上面を露出させることを特徴とする半導体集積回路装置の製造方法。

26. (追加) 請求項10記載の半導体集積回路装置の製造方法において、前記

(g) 工程は、前記第2絶縁膜に対する前記第3絶縁膜のエッティングの選択比が大きい条件でエッティングすることにより、前記導体片の両端部の前記半導体基板の上部に前記第2絶縁膜を残した状態で、前記第3絶縁膜を除去し前記導体片の上面を露出させることを特徴とする半導体集積回路装置の製造方法。